

2—1—1 级联连续时间型 $\Sigma\Delta$ 调制器系统设计

沈 琪¹, 王伟印¹, 顾晓峰¹, 赵琳娜¹, 于宗光²

(1 轻工过程先进控制教育部重点实验室, 江南大学 电子工程系, 江苏 无锡 214122;

2 中国电子科技集团公司第 58 研究所, 江苏 无锡 214035)

摘 要: 高阶连续时间型 $\Sigma\Delta$ 调制器提供了一种有效的获得高分辨率、低功耗模数转换器的方法. 提出了一种新型的 2—1—1 级联的连续时间型 $\Sigma\Delta$ 调制器结构. 采用冲激不变法将离散时间型 $\Sigma\Delta$ 调制器变换为连续时间型 $\Sigma\Delta$ 调制器, 利用 Simulink 对该调制器进行系统级建模和仿真, 峰值信噪比达到 105 dB. 分析了电路的非理想因素对调制器行为的影响, 以获得 90 dB 信噪比为目标确定了电路子模块指标. 仿真结果表明, 该结构能有效降低系统功耗, 并验证了电路的可行性.

关键词: 连续时间; $\Sigma\Delta$ 调制器; 级联结构; 非理想因素

中图分类号: TN4

文献标识码: A

文章编号: 1000—7180(2012)07—0107—05

System Design of 2—1—1 Cascaded Continuous-Time $\Sigma\Delta$ Modulator

SHEN Qi¹, WANG Wei-yin¹, GU Xiao-feng¹, ZHAO Lin-na¹, YU Zong-guang²

(1 Key Laboratory of Advanced Process Control for Light Industry (Ministry of Education), Department of Electronic Engineering, Jiangnan University, Wuxi 214122, China; 2 CETC58, Wuxi 214035, China)

Abstract: High order continuous-time $\Sigma\Delta$ modulator provides an effective way to realize analog-digital converters of high resolution and low power consumption. A novel 2—1—1 cascaded continuous-time $\Sigma\Delta$ modulator has been proposed by transforming the discrete-time $\Sigma\Delta$ modulator to the continuous-time one using the impulse-invariant transformation. The continuous-time $\Sigma\Delta$ modulator is modeled and simulated using Simulink, obtaining a peak signal-to-noise ratio of 105 dB. The effects of circuit non-ideal factors on the modulator performance are then analyzed. The detailed indices of circuit sub-modules are determined by setting a signal-to-noise ratio of 90 dB as the design aim. Simulation results indicate that this modulator architecture can lower the system power consumption effectively, and the feasibility of circuits is successfully verified.

Key words: continuous-time; $\Sigma\Delta$ modulator; cascaded architecture; non-ideal factor

1 引言

在信息技术日益普及的今天, 数字信号处理技术广泛应用于计算机、通信等领域. 由于现实世界中人们接触的往往都是一些模拟量, 要使计算机或数字仪表能正确有效地识别、处理它们, 必须利用模数转换器(ADC)将模拟信号转换成数字信号. 随着无线通信技术及应用的迅速发展, 开发宽带、低功耗、

高精度的 ADC 正成为一个研究热点.

$\Sigma\Delta$ 调制技术应用过采样原理将信号频带内的量化噪声大大压缩以达到高信噪比(SNR), 是实现高精度 ADC 的有效方法. 目前, 大多数 $\Sigma\Delta$ 调制器采用较成熟的开关电容技术, 此类结构常称为离散时间(DT)型 $\Sigma\Delta$ 调制器. 由于其对运放的带宽要求高, 一般不适合应用于宽带领域.

与离散时间型 $\Sigma\Delta$ 调制器相比, 连续时间(CT)

收稿日期: 2012—01—03; 修回日期: 2012—02—18

基金项目: 国家自然科学基金(11074280); 中央高校基本科研业务费专项资金(JUSRP20914, JUDCF10031); 江苏省普通高校研究生创新计划(CXLX11_0486)

型 $\Sigma\Delta$ 调制器近年来越来越受重视. 由于环路中的有源积分器不受电荷转移精度要求的限制, 所以连续时间型 $\Sigma\Delta$ 调制器更适合应用于宽带高速领域; 特别是它本身具有抗混叠特性, 避免了使用额外的抗混叠滤波器, 有助于优化系统功耗.

对连续时间型 $\Sigma\Delta$ 调制器, 一般采用单环结构以保证稳定性^[1-2]. 本文设计了一款新型的 4 阶 2-1-1 级联连续时间型 $\Sigma\Delta$ 调制器, 分析了 RC 时间常数偏差、运放的有限增益和有限单位增益带宽对调制器性能的影响, 利用 Simulink 分别进行了系统建模和仿真, 为调制器的电路设计提供了具体的参数约束. 具体设计目标如下: 信号带宽为 1 MHz, 过采样率(OSR)为 64, 信噪比大于 90 dB, 即精度 14 位以上.

2 连续时间型 $\Sigma\Delta$ 调制器设计

目前, 连续时间型 $\Sigma\Delta$ 调制器几乎没有现成的设计工具, 而设计离散时间型 $\Sigma\Delta$ 调制器的工具相对较多^[3-5]. 因此, 本工作先设计出 2-1-1 离散时间型 $\Sigma\Delta$ 调制器, 然后用冲激不变法将其转换为 2-1-1 连续时间型 $\Sigma\Delta$ 调制器.

高级级联结构 $\Sigma\Delta$ 调制器主要由几个低阶调制器和误差抵消逻辑组成, 各级采用一阶或二阶的低阶调制器, 前一级的量化噪声作为下一级的输入, 并用误差抵消逻辑消除中间级的量化噪声, 仅剩下最后一级的量化误差, 由此获得高信噪比的同时又可保证系统的稳定性. 图 1 为 2-1-1 级联离散时间型 $\Sigma\Delta$ 调制器系统图^[6], 它实现了 4 阶噪声整形特性, 各级信号传递函数和噪声传递函数可表示为^[6]:

$$Y_1(z) = X(z)z^{-2} + z^{-2}(z-1)^2 E_1(z) \quad (1)$$

$$Y_2(z) = E_1(z)z^{-1} + (1-z^{-1})E_2(z) \quad (2)$$

$$Y_3(z) = E_2(z)z^{-1} + (1-z^{-1})E_3(z) \quad (3)$$

$$Y(z) = Y_1 DF_1(z) + Y_2 DF_2(z) + Y_3 DF_3(z) \quad (4)$$

根据级联结构调制器的工作原理, 每一级的输出经过误差抵消逻辑后最终输出为:

$$Y(z) = X(z)z^{-4} + (1-z^{-1})^4 E_3(z) \quad (5)$$

由此可得:

$$DF_1(z) = z^{-2} \quad (6)$$

$$DF_2(z) = -z^{-1}(1-z^{-1})^2 \quad (7)$$

$$DF_3(z) = (1-z^{-1})^3 \quad (8)$$

两种常用的离散时间到连续时间(DT-CT)变换分别是改进的 z 变换法和冲激不变法. 改进的 z 变换常用于多速采样系统的建模和计算, 并不适用

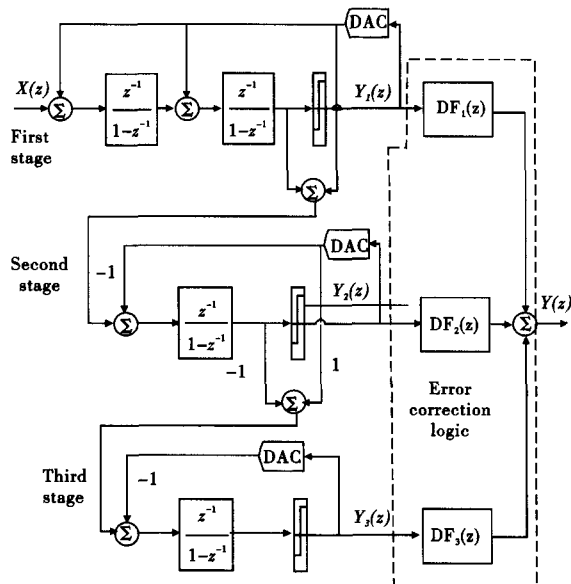


图 1 2-1-1 级联离散时间型 $\Sigma\Delta$ 调制器结构图

于 $\Sigma\Delta$ 调制器的变换^[7]. 因此, 本工作选择采用冲激不变法, 其变换过程如图 2 所示^[7]. 当 z 域和 s 域的两级环路滤波器具有相同输入信号时, 可令 $x(t) = 0$, 如果它们的输出在采样时刻 nT_s 相等, 则认为它们具有相同的噪声整形特性. 因此在频域中有^[8]:

$$Z^{-1}\{H(z)\} = L^{-1}\{R_{DAC}(s)H(s)\} \big|_{t=nT_s} \quad (9)$$

其中 R_{DAC} 是数模转换器(DAC)的冲激响应.

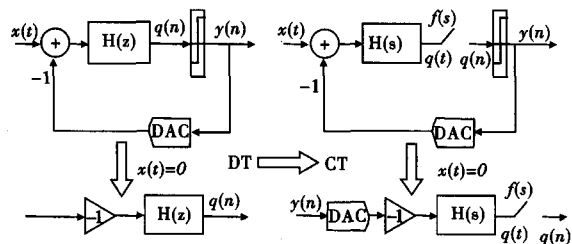


图 2 采用冲激不变法的 DT-CT 变换过程

基于上述变换过程, 选择采样频率 $f_s = 1$ Hz, 将图 1 中的离散时间型 $\Sigma\Delta$ 调制器各级环路滤波器从 z 域变换为 s 域, 结果如表 1 所示. 根据表 1 中的环路滤波器 $H(s)$, 可得到图 3 所示的 2-1-1 级联连续时间型 $\Sigma\Delta$ 调制器, 它保证了每一级的输出在采样时刻与离散时间型 $\Sigma\Delta$ 调制器等效, 再利用误差抵消逻辑实现了相同的 4 阶噪声整形特性.

利用 Simulink 仿真工具对图 3 的 2-1-1 级联连续时间型 $\Sigma\Delta$ 调制器进行系统建模和仿真. 当输入信号频率为 1 MHz、过采样率为 64 时, 调制器系统输出的信噪比与输入信号幅值关系如图 4 所示. 当输入信号幅值为 -5 dB 时获得的峰值信噪比为 105 dB, 此时输出的功率谱密度(PSD)如图 5 所

示.可以看出,输出信号的带内噪声很小,大部分量化噪声都集中在高频部分,实现了良好的噪声整形特性.

表1 $\Sigma\Delta$ 调制器各级环路滤波器从 z 域转换为 s 域

	$H(z)$	$H(s)$
First stage	$-1/(z-1)^2 - 2/(z-1)$	$-1/s^2 - 1.5/s$
Second stage	$-1/(z-1)$	$-1/s$
Third stage	$-1/(z-1)$	$-1/s$

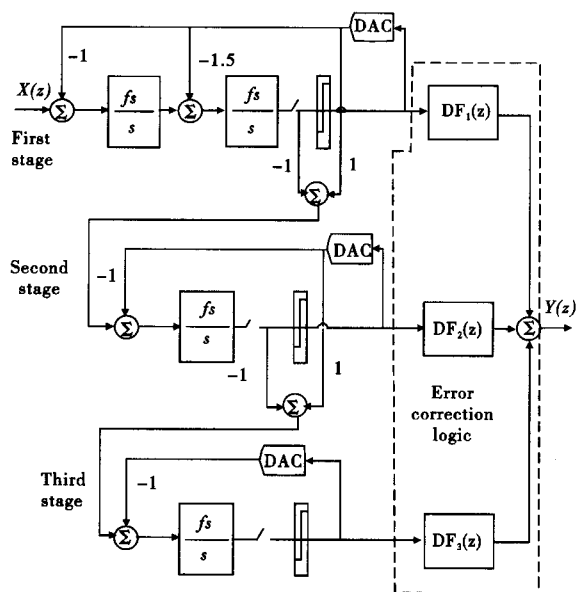


图3 2-1-1级联连续时间型 $\Sigma\Delta$ 调制器结构图

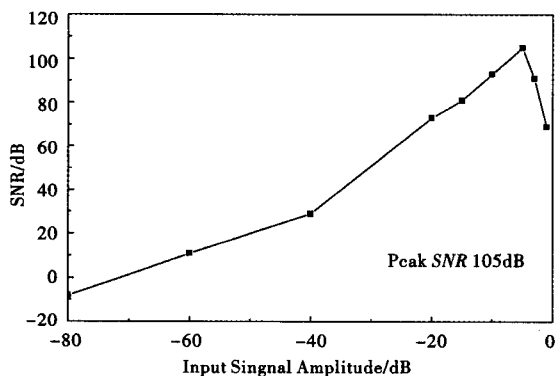


图4 连续时间型 $\Sigma\Delta$ 调制器信噪比与输入信号幅值的关系

3 非理想因素的影响

本工作采用RC有源积分器实现连续时间型 $\Sigma\Delta$ 调制器,比采用Gm-C积分器的开环结构具有更好的线性度.由此引入的非理想因素主要包括

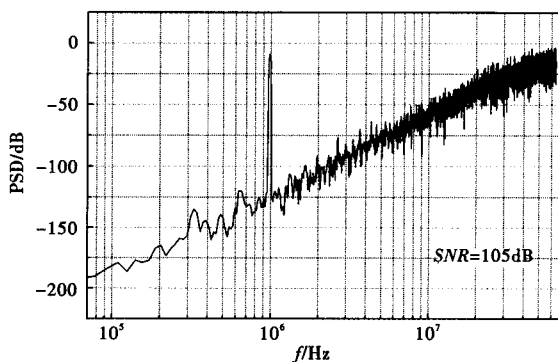


图5 输入信号幅值为-5 dB时连续时间型 $\Sigma\Delta$ 调制器的输出功率谱密度

RC时间常数偏差、运放的有限增益和有限单位增益带宽.

理想情况下RC时间常数不存在偏差,积分器中运放的直流增益、单位增益带宽都为无穷大.非理想因素的引入对积分器的传递函数产生误差,并降低了调制器的信噪比,因此需对非理想因素建模并加入到理想系统中,在保证系统性能的前提下,确定非理想因素的限制条件,为电路设计提供参数约束.下面对各个非理想因素分别进行讨论.

3.1 RC时间常数偏差

RC时间常数偏差是影响连续时间型 $\Sigma\Delta$ 调制器性能最关键的 non-ideal factor^[8].RC时间常数是指RC有源积分器中电阻和电容的乘积,它确定各级积分器中的比例系数 k_i :

$$\frac{1}{RC} = |k_i f_s| \quad (10)$$

引入 k_i 的目的是为了限制运放的输出摆幅,系统仿真中可通过增加增益模块消除 k_i 对各级环路滤波器 $H(s)$ 的影响,为方便计算此处令 $k_i=1$.由于当前的CMOS加工技术不能保证电阻和电容值完全准确,若产生的RC时间常数偏差为 Δ_{RC} ,则积分器传递函数(ITF)变为^[9]:

$$\text{ITF}_{RC}(s) = \frac{f_s}{s} \frac{1}{(1 + \Delta_{RC})} \quad (11)$$

RC时间常数偏差的引入导致环路滤波器的传递函数发生变化,而误差抵消逻辑并未改变,因此它对级联结构 $\Sigma\Delta$ 调制器系统的噪声整形能力影响尤为严重.当 Δ_{RC} 在-20%到+20%之间变化时,系统输出信噪比的变化情况如图6所示.可以看出,若 Δ_{RC} 在-5%到+5%之间时,调制器系统信噪比仍大于90 dB.

3.2 运放的有限直流增益

实际电路中,运放的直流增益并非无穷大,因而

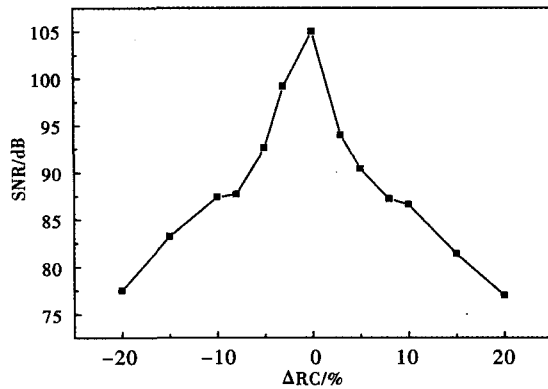


图6 RC时间常数偏差对调制器信噪比的影响

会改变积分器的传递函数. 考虑有限直流增益后每个积分器的传递函数可近似表示成:

$$\text{ITF}_{A_{DC}}(s) = \frac{k_i f_s A_{DC}}{s(1 + A_{DC}) + f_s} = \frac{k_i \alpha f_s}{s + \gamma} \quad (12)$$

$$\alpha = \frac{A_{DC}}{1 + A_{DC}}, \gamma = \frac{f_s}{1 + A_{DC}} \quad (13)$$

其中 A_{DC} 为运放的有限直流增益, α 为放大器的增益误差, γ 表示极点偏移, 为方便计算可令比例系数 $k_i = 1$. 积分器传递函数的极点是噪声传递函数的零点. 如式(12)所示, 有限的增益将噪声传递函数的零点移离了理想位置, 减小了信号带宽内对量化噪声的抑制, 从而降低了信噪比. 积分器的量化噪声泄漏与直流增益成反比, 可通过对调制器系统进行仿真, 确定运放所需的最小直流增益. 图7给出了2-1-1级联连续时间型 $\Sigma\Delta$ 调制器中运放的直流增益对信噪比的影响. 可以看出, 若直流增益大于40 dB, 则系统信噪比可达到90 dB以上.

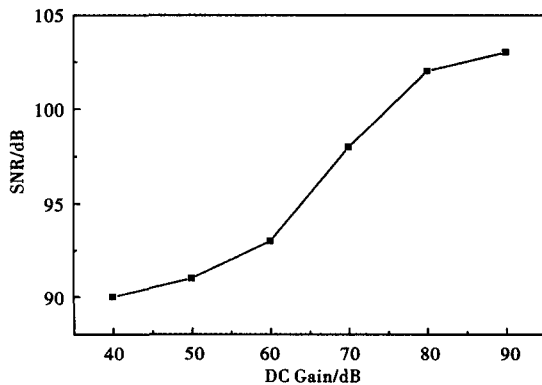


图7 运放的直流增益对调制器信噪比的影响

3.3 运放的有限单位增益带宽

在离散时间型 $\Sigma\Delta$ 调制器中, 积分器常采用开关电容电路实现, 对运放有建立时间的要求, 因而需要运放有较高的单位增益带宽, 达到5-10倍的采样频率^[10]. 获得高单位增益带宽需要运放提供大电

流, 导致运放的功耗变大. 特别是当信号带宽增加时, 运放的带宽设计会变得异常困难, 因此离散时间型 $\Sigma\Delta$ 调制器并不适用于宽带调制器的设计. 而对于连续时间型 $\Sigma\Delta$ 调制器, 由于积分器是连续型的, 对运放没有建立时间的要求, 因此适合应用于宽带领域.

将运放作为一个单极点系统来代替, 可用来仿真有限增益带宽对调制器系统信噪比的影响. 运放的传递函数可表示为:

$$A(s) = \frac{A_{DC}}{\frac{s}{\omega_A} + 1}, \text{GBW} = A_{DC} \omega_A \left[\frac{\text{rad}}{s} \right] \quad (14)$$

其中 ω_A 是主极点, GBW 为单位增益带宽. 积分器传递函数为^[11]:

$$\text{ITF}_{\text{GBW}}(s) = 1 / \left(\frac{s^2}{k_i f_s \text{GBW}} + \frac{s}{k_i f_s \text{GBW}} + \frac{1}{A_{DC}} \right) \quad (15)$$

此处 A_{DC} 的值较大, 因此式(15)可近似为:

$$\text{ITF}_{\text{GBW}}(s) = \frac{k_i f_s}{s} \cdot \frac{\text{GBW}}{\text{GBW} + k_i f_s} \quad (16)$$

当 k_i 为1、3/4、1/2、1/4时, 2-1-1级联连续时间型 $\Sigma\Delta$ 调制器信噪比与单位增益带宽的关系如图8所示. 可以发现, 比例系数 k_i 越小, 系统的信噪比越高. 若选择 k_i 小于0.75, 且运放的单位增益带宽大于2倍采样频率时, 系统信噪比可达到90 dB以上.

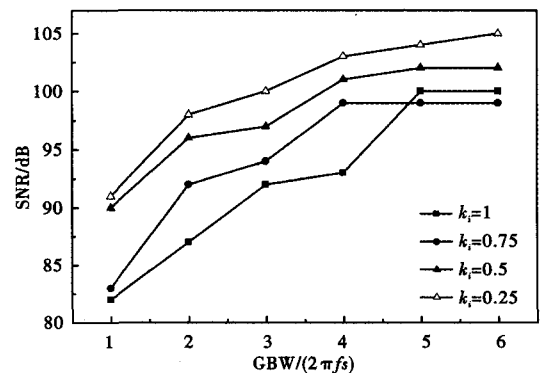


图8 运放的单位增益带宽对调制器信噪比的影响

4 结束语

基于冲激不变法将离散时间型 $\Sigma\Delta$ 调制器的环路滤波器从 z 域变换为 s 域, 设计了2-1-1级联的连续时间型 $\Sigma\Delta$ 调制器的系统结构. 利用 Simu-

link 工具对其进行系统建模和仿真,在输入信号频率为 1 MHz、过采样率为 64 时,理想系统的峰值信噪比可达到 105 dB. 进一步分析了调制器系统的非理想因素并建模,当运放的直流增益大于 40 dB,单位增益带宽大于 2 倍采样频率时,可获得 90 dB 以上的信噪比. 由于连续时间型 $\Sigma\Delta$ 调制器不需要额外的抗混叠滤波器,相比于离散时间型 $\Sigma\Delta$ 调制器,功耗更小且适合宽频领域的应用.

参考文献:

- [1] Jiang Y, Bin Z. Continuous-time sigma-delta modulator design for low power communication applications [C] // The 7th IEEE International Conference on ASIC. Guilin, China, 2007: 715-720.
- [2] Schreier R, Zhang B. Delta-sigma modulators employing continuous-time circuitry [J]. IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, 1996, 43(4): 324-332.
- [3] Malcovati P, Brigati S, Francesconi F, et al. Behavioral modeling of switched-capacitor sigma-delta modulators [J]. IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, 2003, 50(3): 352-364.
- [4] Boser B E, Wooley B A. The design of sigma-delta modulation analog-to-digital converters [J]. IEEE Journal of Solid-State Circuits, 1988, 23(6): 1298-1308.
- [5] 褚子乔,王东辉,侯朝焕. 高性能连续时间 Sigma-Delta 调制器系统级设计[J]. 微电子学与计算机, 2008, 25(8): 45-47.
- [6] Shamsi H, Shoaie O. A novel structure for the design of 2-1-1 cascaded continuous time delta sigma modulators [C] // IEEE International Symposium on Circuits and Systems. New Orleans, USA, 2006: 4751-4754.
- [7] Ortmanns M, Gerfers F, Manoli Y. A case study on a 2-1-1 cascaded continuous-time sigma-delta modulator [J]. IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, 2005, 52(8): 1515-1525.
- [8] Yan C, Kong-Pang P. A 0.5V 2-1 cascaded continuous-time delta-sigma modulator synthesized with a new method [C] // IEEE International Midwest Symposium on Circuits and Systems. Seattle, USA, 2010: 1165-1168.
- [9] Tongyu S, Zhiheng C, Shouli Y. A 2.7-mW 2-MHz continuous-time sigma-delta modulator with a hybrid active-passive loop filter [J]. IEEE Journal of Solid-State Circuits, 2008, 43(2): 330-341.
- [10] Paton S, Di Giandomenico A, Hernandez L, et al. A 70 mW 300 MHz CMOS continuous-time sigma-delta ADC with 15 MHz bandwidth and 11 Bits of resolution [J]. IEEE Journal of Solid-State Circuits, 2004, 39(7): 1056-1063.
- [11] Gerfers F, Ortmanns M, Manoli Y. A 1.5 V 12 bit power-efficient continuous-time third-order $\Sigma\Delta$ modulator [J]. IEEE Journal of Solid-State Circuits, 2003, 38(8): 1343-1352.

作者简介:

沈琪男,(1987—),硕士研究生.研究方向为专用集成电路与系统设计.

王伟印男,(1988—),硕士研究生.研究方向为专用集成电路与系统设计.

顾晓峰男,(1971—),博士,教授,博士生导师.研究方向为半导体器件物理、集成电路设计.

赵琳娜女,(1979—),讲师.研究方向为集成电路设计.

于宗光男,(1964—),博士,高级工程师,教授,博士生导师.研究方向为集成电路设计.

(上接第 106 页)

- [5] 王惊雷,汪东升. 微处理器随机测试程序生成器[J]. 计算机工程与设计, 2004(25): 1144-1146.

作者简介:

于伽女,(1986—),硕士研究生.研究方向为处理器验证

平台设计.

黑勇男,(1974—),研究员.研究方向为可重构 DSP 及低功耗数字基带芯片.

陈黎明男,(1982—),助理研究员.研究方向为计算机体系结构与 VLSI 设计.